

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-349640

(43)Date of publication of application : 04.12.1992

(51)Int.Cl.

H01L 21/60

(21)Application number : 03-152587

(71)Applicant : RICOH CO LTD

(22)Date of filing : 27.05.1991

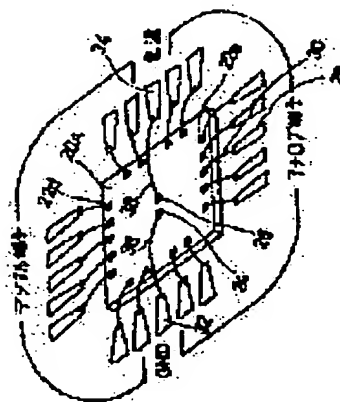
(72)Inventor : YOSHII KOJI

(54) ANALOG-DIGITAL HYBRID INTEGRATED CIRCUIT DEVICE PACKAGE

(57)Abstract:

PURPOSE: To avoid crosstalk of a noise from a digital circuit to an analog circuit efficiently.

CONSTITUTION: The analog pads 22a and the digital pads 22d of an IC chip 20A are arranged in different regions which are separated from each other on the circumferential part of the chip. A grounding pad 24 and a power supply pad 26 are provided on the center part of the chip 20A. The grounding pad 24 is connected to a lead 32 with a wire 36 and the power supply pad 26 is connected to a lead 36 with a wire 38. With this constitution, an analog region and a digital region are separated from each other by the low impedance grounding wire 36 and power supply wire 38, so that capacitance couplings between digital wires and analog wires can be eliminated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-349640

(43) 公開日 平成4年(1992)12月4日

(51) Int.Cl.⁶

H 0 1 L 21/60

識別記号

3 0 1 N 6918-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数4(全5頁)

(21) 出願番号 特願平3-152587

(22) 出願日 平成3年(1991)5月27日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 吉井 宏治

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

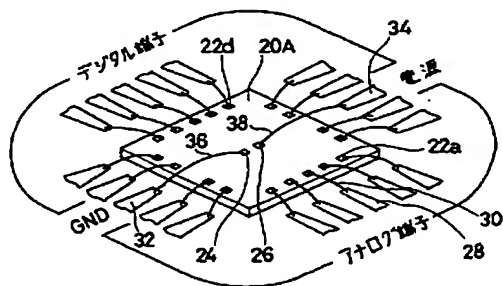
(74) 代理人 弁理士 野口 繁雄

(54) 【発明の名称】 アナログ・デジタル混在集積回路装置実装体

(57) 【要約】

【目的】 デジタル回路からアナログ回路へのノイズの飛込みを有効に防ぐ。

【構成】 ICチップ20Aには周辺部でアナログ用パッド22aとデジタル用パッド22dとが異なる領域に分離されて配列され、中央部にはグランド用パッド24と電源用パッド26とが配置されている。グランド用パッド24とリード32の間がワイヤ36で接続され、電源用パッド26とリード34の間がワイヤ38で接続されることにより、低インピーダンスのグランド用ワイヤ36と電源用ワイヤ38がアナログ領域とデジタル領域の間を分離し、デジタル用ワイヤとアナログ用ワイヤとの間の容量結合を防いでいる。



【特許請求の範囲】

【請求項1】 アナログ回路とデジタル回路が混在する半導体集積回路装置チップのボンディングパッドがチップ周辺部でアナログ回路用とデジタル回路用に領域が分かれて配置され、前記半導体集積回路装置チップの中央部にはグラウンド用ボンディングパッドと電源用ボンディングパッドが配置されており、アナログ回路用ボンディングパッドとデジタル回路用ボンディングパッドはそれぞれの隣接リードにワイヤにより接続されており、前記グラウンド用ボンディングパッドと電源用ボンディングパッドはアナログ回路用リード領域とデジタル回路用リード領域の間のリードにワイヤにより接続されてグラウンド用ワイヤと電源用ワイヤによりアナログ用ワイヤ領域とデジタル用ワイヤ領域の間を分離しているアナログ・デジタル混在集積回路装置実装体。

【請求項2】 アナログ回路とデジタル回路が混在する半導体集積回路装置チップのボンディングパッドがチップ周辺部でアナログ回路用とデジタル回路用に領域が分かれて配置され、チップ周辺部でアナログ用ボンディングパッド領域とデジタル用ボンディングパッド領域の間の中間領域にはグラウンド用ボンディングパッドと電源用ボンディングパッドのうちの少なくとも一方が配置されており、アナログ回路用ボンディングパッドとデジタル回路用ボンディングパッドはそれぞれの隣接リードにワイヤにより接続されており、前記グラウンド用ボンディングパッド又は電源用ボンディングパッドがそのボンディングパッドがあるチップの辺と異なる辺側の中間領域に隣接するリードにワイヤにより接続されてそのワイヤによりアナログ用ワイヤ領域とデジタル用ワイヤ領域の間を分離しているアナログ・デジタル混在集積回路装置実装体。

【請求項3】 アナログ回路とデジタル回路が混在する半導体集積回路装置チップのボンディングパッドがチップ周辺部でアナログ回路用とデジタル回路用に領域が分かれて配置され、グラウンド用ボンディングパッド又は電源用ボンディングパッドがチップ周辺部でアナログ用ボンディングパッド領域とデジタル用ボンディングパッド領域の間の2つの中間領域に配置されており、アナログ回路用ボンディングパッドとデジタル回路用ボンディングパッドはそれぞれの隣接リードにワイヤにより接続されており、前記2つの中間領域に配置されたグラウンド用ボンディングパッド又は電源用ボンディングパッド間がワイヤにより接続され、かつリードにもワイヤにより接続されているとともに、前記2つの中間領域に配置されたグラウンド用ボンディングパッド又は電源用ボンディングパッド間を結ぶワイヤによりアナログ用ワイヤ領域とデジタル用ワイヤ領域の間を分離しているアナログ・デジタル混在集積回路装置実装体。

【請求項4】 アナログ回路とデジタル回路が混在する半導体集積回路装置チップのボンディングパッドがチッ

プ周辺部でアナログ回路用とデジタル回路用に領域が分かれて配置され、チップ周辺部でアナログ用ボンディングパッド領域とデジタル用ボンディングパッド領域の間の中間領域にはグラウンド用ボンディングパッドと電源用ボンディングパッドのうちの少なくとも一方が配置されており、アナログ回路用ボンディングパッドとデジタル回路用ボンディングパッドはそれぞれの隣接リードにワイヤにより接続されており、前記グラウンド用ボンディングパッド又は電源用ボンディングパッドは隣接するリードにワイヤにより接続されているとともに、そのリードが異なる辺側の中間領域に隣接するリードにワイヤにより接続されて、そのリード間を結ぶワイヤによりアナログ用ワイヤ領域とデジタル用ワイヤ領域の間を分離しているアナログ・デジタル混在集積回路装置実装体。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は1つの半導体チップにアナログ回路とデジタル回路が混在する半導体集積回路装置（以下、ICという）チップをワイヤボンディング法により組み立てた実装体に関するものである。

【0002】

【従来の技術】 アナログ回路とデジタル回路が混在するICチップとリードフレームのリードとの間にワイヤによりボンディングを施し、又は基板のリードとの間にワイヤによりボンディングを施して実装したものは、例えば図5に示されるようになる。ICチップ2の周辺部にはボンディングパッドが配置されているが、それらのボンディングパッドのうち、アナログ回路用ボンディングパッド4aとデジタル回路用ボンディングパッド4dはそれぞれの領域に分離されて配置され、両領域の中間領域にはグラウンド用ボンディングパッド6と電源用ボンディングパッド8が配置されている。各ボンディングパッドはリードフレームやプリント基板の隣接するリード10との間にワイヤ12によって接続がなされ、グラウンド用ボンディングパッド6と電源用ボンディングパッド8もそれぞれの隣接するリード14、16との間にワイヤによって接続がなされる。

【0003】

【発明が解決しようとする課題】 アナログ回路とデジタル回路が混在するICチップの場合、デジタル回路側からアナログ回路へのノイズの飛込みを如何に防ぐかということが常に課題となる。ノイズの飛込み経路としては、スパイク状の電源変動による電源電位やグラウンド電位の変動によるもの、接合や配線の重なりで容量結合を起こすもの、パッケージや基板へのワイヤどおしの容量結合によるものなどが挙げられている。本発明は最後のリードフレームや基板へのワイヤどおしの容量結合によるデジタル回路からアナログ回路へのノイズの飛込みを防ぐためのものである。

【0004】 従来のノイズ飛込みの防止手段としては、

3

デジタル端子とアナログ端子を領域別に分離し、両領域間の中間領域に電源やグランドなどの低インピーダンスの端子を配置するなどの、いわゆる端子配置決定時の留意事項によってデジタル端子からアナログ端子へのノイズの飛込みを防止している。しかし、図5の場合にはグランド用リード14や電源用リード16を挟む形になっている端子間では相当のノイズ飛込み低減効果が期待できるが、グランド用リード14や電源用リード16が配列されている辺と異なる辺に配列されている端子間ではノイズの飛込みを低減する効果は十分ではない。本発明はデジタル回路からアナログ回路へのノイズの飛込みを有効に防いだIC実装体を提供することを目的とするものである。

【0005】

【課題を解決するための手段】本発明では、アナログ回路とデジタル回路が混在するICチップのボンディングパッドがチップ周辺部でアナログ回路用とデジタル回路用に領域が分かれて配置されている。第1の態様ではICチップの中央部にグランド用ボンディングパッドと電源用ボンディングパッドが配置されており、アナログ回路用ボンディングパッドとデジタル回路用ボンディングパッドはそれぞれの隣接リードにワイヤにより接続されており、グランド用ボンディングパッドと電源用ボンディングパッドはアナログ回路用リード領域とデジタル回路用リード領域の間のリードにワイヤにより接続されて、グランド用ワイヤと電源用ワイヤによりアナログ用ワイヤ領域とデジタル用ワイヤ領域の間を分離している。

【0006】第2の態様では、チップ周辺部でアナログ用ボンディングパッド領域とデジタル用ボンディングパッド領域の間の中間領域にグランド用ボンディングパッドと電源用ボンディングパッドのうちの少なくとも一方が配置されており、アナログ回路用ボンディングパッドとデジタル回路用ボンディングパッドはそれぞれの隣接リードにワイヤにより接続されており、前記グランド用ボンディングパッド又は電源用ボンディングパッドがそのボンディングパッドがあるチップの辺と異なる辺側の中間領域に隣接するリードにワイヤにより接続されて、そのワイヤによりアナログ用ワイヤ領域とデジタル用ワイヤ領域の間を分離している。

【0007】第3の態様では、グランド用ボンディングパッド又は電源用ボンディングパッドがチップ周辺部でアナログ用ボンディングパッド領域とデジタル用ボンディングパッド領域の間の2つの中間領域に配置されており、アナログ回路用ボンディングパッドとデジタル回路用ボンディングパッドはそれぞれの隣接リードにワイヤにより接続されており、前記2つの中間領域に配置されたグランド用ボンディングパッド又は電源用ボンディングパッド間がワイヤにより接続され、かつリードにもワイヤにより接続されているとともに、前記2つの中間領

4

域に配置されたグランド用ボンディングパッド又は電源用ボンディングパッド間を結ぶワイヤにより、アナログ用ワイヤ領域とデジタル用ワイヤ領域の間を分離している。

【0008】第4の態様では、チップ周辺部でアナログ用ボンディングパッド領域とデジタル用ボンディングパッド領域の間の中間領域にグランド用ボンディングパッドと電源用ボンディングパッドのうちの少なくとも一方が配置されており、アナログ回路用ボンディングパッドとデジタル回路用ボンディングパッドはそれぞれの隣接リードにワイヤにより接続されており、前記グランド用ボンディングパッド又は電源用ボンディングパッドは隣接するリードにワイヤにより接続されているとともに、そのリードが異なる辺側の中間領域に隣接するリードにワイヤにより接続されて、そのリード間を結ぶワイヤにより、アナログ用ワイヤ領域とデジタル用ワイヤ領域の間を分離している。

【0009】

【実施例】図1は第1の実施例を表わす。アナログ回路とデジタル回路が混在するICチップ20Aには、アナログ用ボンディングパッド22aとデジタル用ボンディングパッド22dとが異なる領域に分離されて配列されている。ICチップ20Aの中央部にはグランド用ボンディングパッド24と電源用ボンディングパッド26とが配置されている。28はリードフレームのリードであり、ボンディングパッド22a、22dとリード28の間はワイヤ30により接続されている。リード28もICチップ20Aのボンディングパッドの配列に対応してアナログ端子用とデジタル端子用で分離されて配置されており、両領域の中間領域にはグランド用リード32と電源用リード34が配置されている。グランド用ボンディングパッド24とリード32の間がワイヤ36で接続され、電源用ボンディングパッド26とリード34の間がワイヤ38で接続されている。低インピーダンスのグランド用ワイヤ36と低インピーダンスの電源用ワイヤ38がアナログ領域とデジタル領域の間を分離しており、デジタル用ワイヤとアナログ用ワイヤとの間の容量結合を防いでいる。

【0010】図2は第2の実施例を表わす。図2ではICチップ20Bのボンディングパッドは、アナログ回路用22aとデジタル回路用22dが異なる領域に分離されて配列されているとともに、両領域間の中間領域の1つには辺に沿ってグランド用ボンディングパッド24と電源用ボンディングパッド26がともに配置されている。アナログ回路用ボンディングパッド22aとデジタル回路用ボンディングパッド22dはそれぞれに隣接するリード28にワイヤ30で接続されており、一方、グランド用ボンディングパッド24は反対側の辺に隣接するグランド用リード32にワイヤ36により接続されている。電源用ボンディングパッド26は隣接するリード

34に接続されている。図2の例では低インピーダンスのグラウンド用ワイヤ36がボンディングパッド24からそのボンディングパッド24が存在する辺と対向する辺側のリード32に接続されることにより、そのワイヤ36がアナログ回路領域とデジタル回路領域を分離してノイズの飛込みを防止している。

【0011】図3は第3の実施例を表わす。図3ではICチップ20Cでアナログ用ボンディングパッド22a領域とデジタル用ボンディングパッド22d領域の間の一方の中間領域には辺に沿ってグラウンド用ボンディングパッド24が配置され、他方の中間領域には辺に沿ってグラウンド用ボンディングパッド24と電源用ボンディングパッド26が配置されている。各ボンディングパッドは隣接するリードにワイヤにより接続されているが、特にグラウンド用ボンディングパッド24、24間にはワイヤ40によるボンディングがなされている。図3では低インピーダンスのグラウンド用ワイヤ40によりアナログ領域とデジタル領域が分離されてノイズの飛込みが防がれる。

【0012】図4は第4の実施例を表わす。図4で、ICチップ20Dではアナログ用ボンディングパッド22aとデジタル用ボンディングパッド22dの領域の間の一方の中間領域には辺に沿ってグラウンド用ボンディングパッド24が配置され、他方の中間領域には辺に沿って電源用ボンディングパッド26が配置されている。各ボンディングパッドは隣接するリードにワイヤボンディングされているが、特にグラウンド用リード32は異なる辺に隣接するグラウンド用リード42をさらに有し、リード32と42の間がワイヤ44によってボンディングされている。図4では低インピーダンスのグラウンド用ワイヤ44によりアナログ回路とデジタル回路が分離されてお

り、ノイズの飛込みが防止されている。

【0013】

【発明の効果】本発明ではいずれもアナログ端子とデジタル端子の間を低インピーダンスのグラウンド用ワイヤ及び電源用ワイヤ又はその何れかが横切っているため、アナログ端子とデジタル端子間の容量結合が抑えられている。これにより、デジタル回路からアナログ回路へのノイズの飛込みが低減され、デジタル回路と高精度なアナログ回路を1チップに混在しても誤動作を防ぐことができる。

【図面の簡単な説明】

【図1】第1の実施例を示す斜視図である。

【図2】第2の実施例を示す斜視図である。

【図3】第3の実施例を示す斜視図である。

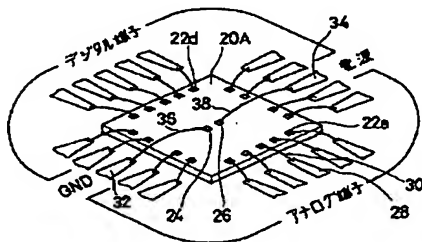
【図4】第4の実施例を示す斜視図である。

【図5】従来の実装体を示す斜視図である。

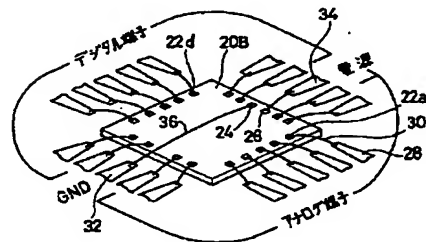
【符号の説明】

| | |
|------------|---------------|
| 20A~20D | ICチップ |
| 22a | アナログ回路用ボンディング |
| 22d | デジタル回路用ボンディング |
| 24 | パッド |
| 26 | パッド |
| 28 | パッド |
| 30 | パッド |
| 32, 42 | パッド |
| 34 | パッド |
| 36, 40, 44 | パッド |
| 38 | パッド |

【図1】



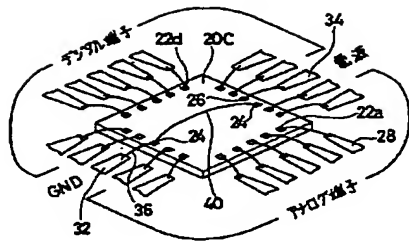
【図2】



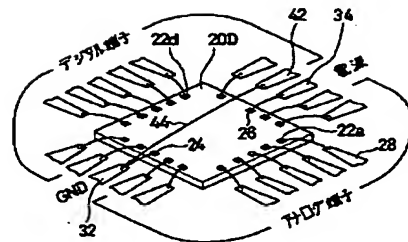
(5)

特開平4-349640

【図3】



【図4】



【図5】

